

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年5月6日 (06.05.2004)

PCT

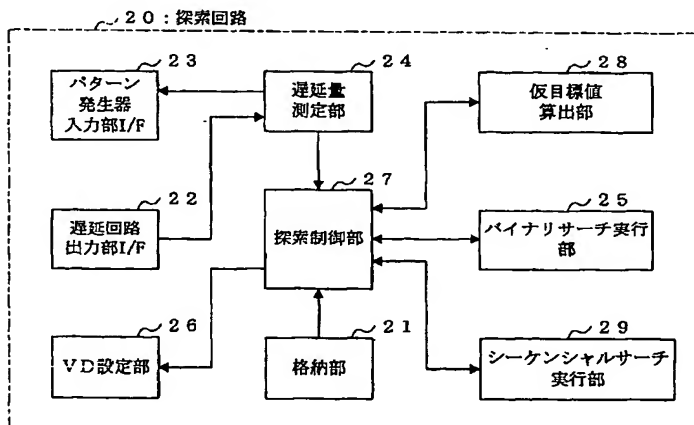
(10) 国際公開番号
WO 2004/038436 A1

- (51) 国際特許分類⁷: G01R 31/28 (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒179-0071 東京都練馬区旭町1丁目3番1号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/013630 (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 大島 英幸 (OSHIMA, Hideyuki) [JP/JP]; 〒179-0071 東京都練馬区旭町1丁目3番1号 株式会社アドバンテスト内 Tokyo (JP).
- (22) 国際出願日: 2003年10月24日 (24.10.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2002-310146
2002年10月24日 (24.10.2002) JP (74) 代理人: 渡辺 喜平 (WATANABE, Kihei); 〒101-0041 東京都千代田区神田須田町一丁目2番 芝信神田ビル3階 Tokyo (JP).

[続葉有]

(54) Title: TARGET VALUE SEARCH CIRCUIT, TARGET VALUE SEARCH METHOD, AND SEMICONDUCTOR TEST DEVICE USING THE SAME

(54) 発明の名称: 目標値の探索回路、目標値の探索方法及びこれを用いた半導体試験装置



- 20...SEARCH CIRCUIT
23...PATTERN GENERATOR INPUT SECTION I/F
24...DELAY AMOUNT MEASUREMENT SECTION
28...TEMPORARY TARGET VALUE CALCULATION SECTION
22...DELAY CIRCUIT OUTPUT I/F
27...SEARCH CONTROL SECTION
25...BINARY SEARCH EXECUTION SECTION
26...VD SETTING SECTION
21...STORAGE SECTION
29...SEQUENTIAL SEARCH EXECUTION SECTION

(57) Abstract: In a temporary target value calculation section (28), a target value Exp is subtracted (or added) by a predetermined value to calculate a temporary target value ExpB. A predetermined region containing this temporary target value ExpB is subjected to binary search by a binary search execution section (25) so as to narrow down the search region. Next, in a sequential search execution section (29), within the narrowed down search region, a target value Exp is searched in the increase direction, starting at the temporary target value ExpB. Thus, it is possible to prevent lowering of measurement accuracy and reduce the search time. Moreover, even if the number sequence to be searched is in an ascending order partially including a decrease, it is possible to surely and normally find out the target value.

(57) 要約: 仮目標値算出部 28 において、目標値 $E \times p$ から所定値が減ぜられ (又は加えられ) 仮目標値 $E \times p B$ として算出される。この仮目標値 $E \times p B$ を含む一定領域まで、バイナリサーチ実行部 25 でバイナリサーチが実行され探索領域が絞り込まれる。次いで、シーケンシャルサーチ実行部 29 において、その絞り込まれた探索領域内で、仮目標値 $E \times p B$ を起点として、増加方向へ目標値 $E \times p$ が探索される。これにより、測定精度の低下防止と探索時間の短縮とを両立させるとともに、探索対象である数列が一部

に減少を含んだ昇順数列を示すものであっても、確実かつ正常に目標値を見

[続葉有]



(81) 指定国 (国内): JP, US.

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

目標値の探索回路、目標値の探索方法及びこれを用いた半導体試験装置

5 技術分野

本発明は、一部に値の減少を含む昇順の数列において目標値の探索を実行する探索回路、探索方法及び半導体試験装置に関し、特に、タイミング可変遅延回路を備える半導体試験装置に好適な探索回路、探索方法及びこれを用いた半導体試験装置に関する。

10

背景技術

従来から、ロジック I C や半導体メモリ等の各種の半導体デバイスに対し試験を行う装置として半導体試験装置が知られている。

この半導体試験装置で行われる試験としては、たとえば、機能試験（ファンク
15 ション試験），直流特性試験（D C パラメータ試験），交流特性試験（A C パラ
メータ試験）等がある。

これらのうち機能試験は、半導体デバイスの機能を保証するために行う試験であって、たとえば、第 5 図に示すように、試験パターン発生器 1 1 からの試験パターン信号を被試験 I C（以下、「D U T」（D e v i c e U n d e r T e
20 s t）という）1 2 に与え、その出力信号と期待値パターンとを比較器 1 3 で比較して、D U T 1 2 の諸機能の良否を判断するものである。

より具体的には、第 6 図に示すような構成の半導体試験回路 1 0 によって、D U T 1 2 の機能試験が行われる。

同図において、複数のピンを有した 1 個の D U T（半導体素子）1 2 に対する
25 試験パターンデータが、比較器 1 3 へ送られる期待値データ S とともに、予めメモリ（期待値メモリ）1 4 に記憶されている。

メモリ 1 4 の試験パターンデータにもとづいて試験パターン発生器 1 1 により D U T 1 2 に与えられる試験パターン信号が、基準クロック発生器 1 5 の基準クロック信号 C L K に同期して発生され、可変遅延回路 D L 1，S K 1 を有する D
30 U T 入力遅延回路（タイミング発生器）1 6 を通って、D U T 1 2 の入力端子 i

に供給される。

また、基準クロック発生器 15 の基準クロック信号は、可変遅延回路 DL 2, SK 2 を有する比較タイミング遅延回路 17 を通り、ストロブ信号 STRB として、比較器 13 の D 型フリップフロップ回路（以下、「DF/F」という） 13-1 のクロック端子へも供給される。

可変遅延回路 DL 1, SK 1, DL 2, SK 2 は、制御部 18 のプログラム制御によって、遅延量 Tpd が設定される。

それらのうち、可変遅延回路 DL 1, DL 2 は、ユーザプログラムにより DUT 12 に対して時間位相を定義できる遅延回路である。

10 一方、可変遅延回路 SK 1, SK 2 は、上記 DL 1 や DL 2 等のハードウェアの遅延量 Tpd が周囲温度変化や時間経過によって変動することから、DUT 12 に対する位相が所定値になるように補正する、つまりハードウェアの校正を行う。

DUT 12 の出力（応答出力信号）は、比較器 13 の DF/F 13-1 に入力 15 され、その出力は、不一致回路（Exclusive-OR 回路；Ex-OR）13-2 に入力される。ここで、メモリ 14 からの期待値データ S = “1” と比較され、この比較結果が、DF/F 13-3 に入力される。

この比較器 13 において、DF/F 13-1 の出力（C 点）が “L”（又は “H”）のとき、期待値データ S = “1” とは不一致（又は一致）であるので、 20 不一致回路 13-2 の出力（E 点）は “H”（又は “L”）となり、DF/F 13-3 の出力（F 点）は “H”（又は “L”）となって、この比較器 13 における比較の結果が Fail（フェイル）（又は Pass（パス））となる。

ところで、DUT 12 の機能試験を行う場合、その DUT 12 に数十から数百ある複数のピンに入力される各試験パターン信号は、それぞれ同期がとられている 25 ことが望ましい。

ところが、各試験パターン信号には、各経路の相違から、位相遅延時間すなわちタイミングの差異が生じている。

この位相遅延時間が生ずる原因である経路の相違は、その物理的条件の違い、波形整形器（試験パターン発生器 11 からの出力信号を DUT 12 の回路構成に 30 あわせて形成する部分、図示せず）内における経路の変更、各経路内に使用され

る半導体素子が受ける熱的影響等によって起こる。

このため、各試験パターン信号の同期のずれにより、比較器 13 における比較結果に誤差が生じてしまい、正しい機能試験が行えなくなっていた。

そこで、この半導体試験装置 10 を用いて機能試験を行う場合は、イニシャライズ時に、試験パターン信号ごとに、それら試験パターン信号の同期をとるよう調整している。

各試験パターン信号の同期をとるために行われる試験パターン信号の遅延量 T_{pd} の測定には、一般に、周波数測定器などが用いられている。

なお、試験パターン信号の遅延量 T_{pd} の測定は、周波数を用いて行うことに
10 限るものではなく、たとえば、反射波などを用いることもできる。

その周波数測定器を用いて試験パターン信号の遅延量 T_{pd} を測定し、かつ、その遅延量 T_{pd} を目標値に近づけるように可変遅延回路 DL1 の遅延量設定値を与えていく方法は、次のように行われる。

なお、可変遅延回路 DL1 の可変範囲は、 $\tau(1 \sim n) = 0 \text{ ns} \sim 20 \text{ ns}$
15 とし、DUT 入力遅延回路 16 における最初の遅延量設定値は、可変遅延回路 DL1 の可変範囲 $\tau(1 \sim n)$ の中間値 $\tau_1 = 10 \text{ ns}$ に設定されているものとする。そして、目標値は、100 ナノ秒 (ns) に設定されているものとする。

また、可変遅延回路 DL1 の遅延量設定値の推移については、第 7 図に示す。

まず、周波数測定器において、ループ周波数により、試験パターン信号の遅延
20 量が測定される。

1 回目の測定 ($\tau_1 = 10 \text{ ns}$) では、遅延量測定値が 104 ns であったとする。

次いで、遅延量測定値 (104 ns) と目標値 (100 ns) とが比較判断される。判断の結果、遅延量測定値が目標値を上回っているため、DUT 入力遅延
25 回路 16 における可変遅延回路 DL1 の遅延量設定値が、 $\tau_2 = \tau_1 - (\tau_1 / 2^{1/2}) = 5 \text{ ns}$ のように算出される。

そして、可変遅延回路 DL1 の遅延量 T_{pd} が、その算出された遅延量設定値となるように設定される。

次いで、2 回目の測定では、遅延量測定値が 99 ns になったとする。

30 この場合、遅延量測定値が目標値を下回っているため、遅延量設定値は、 τ

$3 = \tau_2 + (\tau_1 / 2^2) = 7.5 \text{ ns}$ のように算出される。

そして、この算出された遅延量設定値が、可変遅延回路DL1の遅延量 T_{pd} として設定される。

3回目の測定では、遅延量測定値が101.5 nsになったとする。

- 5 この場合、遅延量測定値が目標値を上回っているため、遅延量設定値は、 $\tau_4 = \tau_3 - (\tau_1 / 2^3) = 6.25 \text{ ns}$ のように算出され、可変遅延回路DL1の遅延量 T_{pd} として設定される。

4回目の測定では、遅延量測定値が100.25 nsになったとする。

- 10 この場合も、遅延量測定値が目標値を上回っているため、遅延量設定値は、 $\tau_5 = \tau_4 - (\tau_1 / 2^4) = 5.625 \text{ ns}$ のように算出され、可変遅延回路DL1の遅延量 T_{pd} として設定される。

- 15 以下同様に、5回目の測定では、遅延量測定値が99.625 nsになったとすると、この場合、遅延量測定値が目標値を下回っているため、遅延量設定値は、 $\tau_6 = \tau_5 - (\tau_1 / 2^5) = 5.9375 \text{ ns}$ のように算出され、可変遅延回路DL1の遅延量 T_{pd} として設定される。

そして、6回目の測定では、遅延量測定値が99.9375 nsになったとすると、この場合も、遅延量測定値が目標値を下回っているため、遅延量設定値は、 $\tau_7 = \tau_6 - (\tau_1 / 2^6) = 6.09375 \text{ ns}$ のように算出され、可変遅延回路DL1の遅延量 T_{pd} として設定される。

- 20 このように、 $i - 1$ 回目の測定で遅延量測定値が目標値を上回るかあるいは下回るかによって、 i 回目の測定では、可変遅延回路DL1の遅延量 T_{pd} をバイナリ状に $\tau_1 / 2^{(i-1)} \text{ ns}$ だけ減少させたりあるいは増加させたりして、遅延量測定値を目標値に近づけている。

- 25 このように遅延量測定値を目標値に向かってバイナリ状に追い込みながら測定することをバイナリサーチと呼んでいる。

- 30 このような方法によれば、周波数測定器が、DUT12の複数のピンに入力される各試験パターン信号の入力タイミングをすべて同期させるように、各試験パターン信号の通る経路ごとに可変遅延回路DL1の遅延量 T_{pd} を与えるため、半導体試験装置10を用いて行われるDUT12の機能試験（ファンクション試験）におけるイニシャライズ時の初期調整を可能としている。

しかしながら、DUT入力遅延回路16の可変遅延回路DL1は、たとえば、ICの周囲温度やICに加えられた電源電圧の変化、ICの製造ばらつき、自己発熱量の変動などにより遅延量 T_{pd} が変動し、この変動により、第8図に示すように、1CLK分周期毎に不連続点が発生していた。

- 5 そして、この不連続点を含んだ遅延量 T_{pd} は、言い換えれば一部に減少を含んだ昇順の数列であることから、純粋な昇順の数列を探索対象とするバイナリサーチのみによって目標値を探索すること（つまり、試験パターン信号の遅延量 T_{pd} の測定方法としてバイナリサーチのみを用いること）は、必ずしも適切であるとは言えなかった。
- 10 この場合、バイナリサーチで探索しきれない部分については、シーケンシャルサーチで補うようにすることが考えられる。

シーケンシャルサーチは、目標値と一致する値を、配列の端から順番に調べていくものであるため、配列の要素が多くなるにつれて探索に時間がかかるものの、配列が昇順あるいは降順に整列されている必要がない。

- 15 これに対して、バイナリサーチは、配列の中央の値（中央値）と探索したい値（目標値）との比較を行い、各値が等しくない場合は、配列の前半（あるいは後半）を削除して残りの後半（あるいは前半）部分の中央値と目標値とを比較し、それら中央値と目標値とが一致するまで、各値の比較と配列の半減とを繰り返し行うものである。このため、バイナリサーチは、探索時間を短縮できるものの、
- 20 その配列が昇順あるいは降順に整列されていることが条件となる。

- そして、従来の半導体試験装置における試験パターン信号の遅延量 T_{pd} は、一部に減少を含む昇順配列の波形（鋸歯状の波形）であるため、バイナリサーチによって探索範囲をできるだけ絞り込み、この絞り込んだ探索範囲内でシーケンシャルサーチにより目標値を探索することにより、測定精度を低下させることなく、探索時間の短縮を図ることは可能である。
- 25

つまり、バイナリサーチによる探索時間の短縮と、シーケンシャルサーチによる測定精度の低下防止との両立が実現可能となる。

- 具体的には、たとえば、第9図に示すように、バイナリサーチにより、同じ傾きが連続する遅延量 T_{pd} の中程付近あるいはそれより大きいところ（バイナリ
- 30 サーチの結果を中心とするシーケンシャルサーチの探索範囲のうち、下半分の範

囲内に不連続点がないとき、例えば、点A等）が探索されたとすると、その探索範囲内には不連続点が存在しないことから、この探索範囲内でシーケンシャルサーチにより正常に目標値を探索できる。

ところが、このようにバイナリサーチとシーケンシャルサーチとを併用しても、
5 正常に目標値の探索ができない場合があった。

たとえば、バイナリサーチの結果が、遅延量 T_{pd} の不連続点に近いところにある場合（鋸歯状波形の谷間付近など、例えば、同図の点B等）は、増加方向へのシーケンシャルサーチは可能であるものの、減少方向へのシーケンシャルサーチを行うと、不連続点にさしかかった時点で目標値より大きい値をふたたびサーチしていた。このため、目標値を見つけるまでに探索範囲内のサーチが終了してしまい、正常に目標値を探索できないという問題があった。

特に、バイナリサーチとシーケンシャルサーチとの組み合わせによって、従来の半導体試験装置における試験パターン信号の目標値の探索を実行する場合は、第10図に示すように、それらバイナリサーチのVD遅延特性とシーケンシャルサーチのVD遅延特性との間にわずかな差異が生じることがあった。
15

この差異は、バイナリサーチのヒステリシスの影響により生じていた。

ここでいうヒステリシスの影響とは、前回設定されたエッジが今回設定したエッジに与える影響であって、前回と今回とのエッジの時間差の大小にもとづいて、その影響量が変わることにより、VD遅延誤差として現れることをいう。

20 なお、第10図に示す差異は説明し易いように表したものである。実際の差異は、ランダムに現れる。ランダムになるのは、バイナリサーチの場合、前回のサイクルのエッジの位置がサーチをするたびに変わるからである。

同図に示すような場合、バイナリサーチのVD遅延特性を表すグラフ線において目標値 E_{xp} である遅延量 $T_{p d b}$ と一致する点は、B1点及びB2点となるが、シーケンシャルサーチのVD遅延特性を表すグラフ線において遅延量 $T_{p d b}$ と一致する点は、B3点のみとなる。そして、B3点は、B1点を中心とするシーケンシャルサーチの探索範囲には含まれていない。
25

このことから、バイナリサーチを実行してB1点が発見されると、シーケンシャルサーチを実行してもB3を見つけることができず、正常に探索できないという問題があった。
30

- 本発明は、上記の問題を解決すべくなされたものであり、一部に値の減少を含んだ昇順の数値列（たとえば、タイミングVDの設定値に対する遅延量 T_{pd} の特性）においても、正常かつ確実な目標値 E_{xp} （遅延量 $T_{p d b}$ ）のサーチを可能とするとともに、バイナリサーチとシーケンシャルサーチとの併用を可能にして、探索時間の短縮と測定精度の低下防止との両立を実現する目標値の探索回路、目標値の探索方法及びこれを用いた半導体試験装置の提供を目的とする。

発明の開示

- この目的を達成するため、本発明の目標値の探索回路は、目標値を格納する目標値格納部と、この目標値格納部から目標値を取り出すとともに、この取り出した目標値から所定値を減じ又は加えた値を仮目標値として設定する探索制御部と、バイナリサーチにより仮目標値を含んだ一定領域まで探索範囲を絞り込むバイナリサーチ実行部と、絞り込まれた探索範囲内で、シーケンシャルサーチにより仮目標値を起点として増加方向又は減少方向へ目標値を探索するシーケンシャルサーチ実行部とを有した構成としてある。

目標値の探索回路をこのような構成とすると、探索対象となる数値列が、一部に減少を含んだ昇順の数値列である場合であって、バイナリサーチの特性とシーケンシャルサーチの特性との間で微小の差異が生じるときにおいても、正常かつ確実に目標値を探索できる。

- 従来の探索回路においては、バイナリサーチによって絞り込まれた探索範囲のうち、目標値よりも小さい値を示す範囲に、鋸歯状波形の谷間が含まれており、かつバイナリサーチの特性とシーケンシャルサーチの特性との間で微小な差異が生じる場合には、シーケンシャルサーチの探索範囲内に目標値が含まれなくなり、正常にその目標値を探索できないことがあった。

- これに対して、本発明の探索回路は、所定値（たとえば、シーケンシャルサーチの探索領域のうち半分の領域を示す値）を目標値から減じ又は加えて仮目標値とし、この仮目標値をバイナリサーチによって探索し、さらに、この探索で得られた仮目標値を探索開始値（起点）として、増加方向へシーケンシャルサーチを実行することとしている。

- これにより、不連続点があることと、バイナリサーチの特性とシーケンシャル

サーチの特性との間に差異があることとによって、目標値が探索範囲から外れることを回避して、その目標値をサーチすることができる。

- したがって、探索対象となる数列が、一部に減少を含んだ昇順の数列である場合や、バイナリサーチの特性とシーケンシャルサーチの特性との間で僅少な差異が生じる場合等においても、正常かつ確実に目標値を探索できる。

さらに、目標値の探索が、バイナリサーチとシーケンシャルサーチとの組み合わせによって実行されるため、測定精度の低下防止と探索時間の短縮との両立を実現できる。

- なお、本発明において「探索範囲」とは、シーケンシャルサーチによりサーチされる範囲であって、調整側におけるサーチ範囲、たとえば、第10図に示すTiming-VD設定値における探索範囲をいう。

さらに、「探索領域」とは、シーケンシャルサーチによりサーチされる領域であって、被調整側におけるサーチ領域、たとえば、第10図に示す遅延量Tpdにおける探索領域をいう。

- また、本発明の目標値の探索方法は、目標値を格納する段階と、目標値を取り出すとともに、この取り出した目標値から所定値を減じ又は加えた値を仮目標値として設定する段階と、バイナリサーチにより仮目標値を含んだ一定領域まで探索範囲を絞り込む段階と、絞り込まれた探索範囲内で、シーケンシャルサーチにより仮目標値を起点として増加方向又は減少方向へ目標値を探索する段階とを有した方法としてある。

目標値の探索方法をこのような方法とすれば、バイナリサーチによって仮目標値を含む一定領域が探索され、さらに、この一定領域内でシーケンシャルサーチにより仮目標値を起点として増加方向へ目標値の探索が実行されるため、測定精度を向上しつつ、探索時間の短縮を図ることができる。

- そして、探索対象の数列が鋸歯状の波形を示す場合であって、バイナリサーチの特性とシーケンシャルサーチの特性とが異なる場合においても、目標値がシーケンシャルサーチの探索範囲内に存在しなくなるなどの不都合が生じないため、確実に目標値を探し出すことができる。

- また、本発明の半導体試験装置は、基準クロック信号を発生する基準クロック発生器と、基準クロック信号に同期して半導体素子に印加する試験パターン信号

- を出力する試験パターン発生器と、試験パターン信号を所定時間遅延させる可変遅延回路を備えたタイミング発生器と、半導体素子から出力される応答出力信号と期待値パターンとを比較する比較器とを備えた半導体試験装置であって、目標値を格納する格納部と、試験パターン信号の遅延量測定値を求める遅延量測定部
- 5 と、格納部から目標値を取り出すとともに、この取り出した目標値から所定値を減じ又は加えた値を仮目標値として算出する仮目標値算出部と、バイナリサーチによって、仮目標値を含んだ一定領域まで探索範囲を絞り込むように可変遅延回路の遅延量設定値を与えるバイナリサーチ実行部と、絞り込まれた探索範囲内で、シーケンシャルサーチにより、仮目標値を起点として増加方向又は減少方向へ目
- 10 標値を探索するように可変遅延回路の遅延量設定値を与えるシーケンシャルサーチ実行部と、可変遅延回路の遅延量を設定するVD設定部と、仮目標値及び遅延量測定値をバイナリサーチ実行部へ送るとともに、バイナリサーチ実行部からの遅延量設定値をVD設定部へ送って可変遅延回路の遅延量を設定させ、仮目標値を含んだ一定領域まで探索範囲が絞り込まれると、この絞り込みで得られた遅延
- 15 量設定値と、目標値と、遅延量測定値とをシーケンシャルサーチ実行部へ送り、シーケンシャルサーチ実行部からの遅延量設定値をVD設定部へ送って可変遅延回路の遅延量を設定させる探索制御部とを有する探索回路を備えた構成としてある。

- 半導体試験装置をこのような構成とすると、バイナリサーチとシーケンシャル
- 20 サーチとを組み合わせる目標値を探索するため、測定精度の向上と探索時間の短縮とを両立させることができる。

- さらに、探索対象である遅延量 T_{pd} が鋸歯状の波形を示すものであって、バイナリサーチの特性とシーケンシャルサーチの特性との間で差異が生じる場合であっても、所定値（たとえば、シーケンシャルサーチの探索領域のうち半分の領域を示す値）が目標値から減ぜられて（又は加えられて）仮目標値とされ、この
- 25 仮目標値を起点としてシーケンシャルサーチが実行されるため、探索領域内に目標値を含めることができ、確実に正常にその目標値を探索できる。

- また、本発明の半導体試験装置は、仮目標値算出部が、シーケンシャルサーチの探索領域のうちの半分の領域を示す値を所定値として目標値から減じ又は加え、
- 30 この減じ又は加えた値を仮目標値として算出する構成としてある。

半導体試験装置をこのような構成とすれば、探索対象である遅延量 T_{pd} が一部に減少を含んだ昇順の特性を示すものであって、バイナリサーチの特性とシーケンシャルサーチの特性との間で差異が生じる場合であっても、シーケンシャルサーチの探索範囲内に目標値を含めることができるため、そのシーケンシャルサーチによって目標値を確実に探索できる。

図面の簡単な説明

- 第1図は、本発明の探索回路の構成を示すブロック図である。
- 第2図は、第1図の探索回路を接続した半導体試験装置の構成を示すブロック図である。
- 第3図は、可変遅延回路における遅延量 T_{pd} の変化を示すグラフである。
- 第4図は、本発明の探索回路の動作を示すフローチャートである。
- 第5図は、従来の半導体試験装置の構成を示すブロック図である。
- 第6図は、従来の半導体試験装置について、より具体的な構成を示すブロック図である。
- 第7図は、バイナリサーチによる目標値の探索の経緯を示すグラフである。
- 第8図は、従来の半導体試験装置におけるTiming-VD設定値に対する遅延量 T_{pd} の変化を示すグラフである。
- 第9図は、第8図に示した遅延量 T_{pd} の変化におけるバイナリサーチの探索ルートとシーケンシャルサーチの探索範囲とを示すグラフである。
- 第10図は、従来の半導体試験装置におけるバイナリサーチのVD遅延特性とシーケンシャルサーチのVD遅延特性とを示すグラフである。

発明を実施するための最良の形態

- 以下、本発明の実施の形態について、図面を参照して説明する。
- まず、本発明の目標値の探索回路、目標値の探索方法及びこれを用いた半導体試験装置の実施形態について、第1図を参照して説明する。
- 同図は、本実施形態の探索回路の構成を示すブロック図である。
- 本実施形態の探索回路は、たとえば、第2図に示す半導体試験装置10の探索回路20として使用可能である。

第1図に示すように、探索回路20は、格納部21と、遅延回路出力部I/F22と、試験パターン発生器入力部I/F23と、遅延量測定部24と、バイナリサーチ実行部25と、VD設定部26と、探索制御部27と、仮目標値算出部28と、シーケンシャルサーチ実行部29とを有している。

- 5 格納部（目標値格納部）21は、目標値Exp, 仮目標値ExpB、シーケンシャルサーチの探索範囲b（あるいは、探索領域b）を格納する。

遅延回路出力部I/F22は、DUT入力遅延回路16の出力側と接続されており、DUT入力遅延回路16から入力した試験パターン信号（遅延クロック信号）を遅延量測定部24へ送る。

- 10 試験パターン発生器入力部I/F23は、試験パターン発生器11の入力側に接続されている。これにより、試験パターン発生器11及びDUT入力遅延回路16を通る経路と、遅延回路出力部I/F22、遅延量測定部24及び試験パターン発生器入力部I/F23を通る経路とがループで結ばれる。

- 遅延量測定部24は、遅延回路出力部I/F22からの試験パターン信号（遅延クロック信号）にもとづいて、この試験パターン信号の遅延量Tp dを測定する。そして、測定結果である遅延量測定値を探索制御部27へ送る。

なお、試験パターン信号の遅延量Tp dの測定は、ループ周波数を用いたものに限るものではなく、たとえば、反射波などを用いることもできる。

- バイナリサーチ実行部25は、探索制御部27から、仮目標値ExpBと、遅延量測定値とを受け取る。そして、探索制御部27からの実行指示にもとづいて、バイナリサーチを実行する。

- このバイナリサーチ実行部25で実行されるバイナリサーチは、可変遅延回路DL1のすべての設定値をMSB (Most Significant Bit / Byte) からLSB (Least Significant Bit / Byte) まで1ビットずつ仮目標値ExpBとの大小比較により変化させながら、探索領域を半分ずつ減らしていき、この過程を繰り返すことによって、仮目標値ExpBを探索するように行われる。

ただし、ここでは、可変遅延回路DL1の設定値が二進数表示であることを前提として説明する。

- 30 そして、バイナリサーチ実行部25は、仮目標値ExpBが遅延量測定値Tp

dより小さいときは、「可変遅延回路DL1の設定値（遅延量設定値、VD設定値）＝直前のVD設定値－対象ビット」を算出して探索結果とする。一方、仮目標値ExpBが遅延量測定値Tpdより大きいときは、「VD設定値＝直前のVD設定値」を算出して探索結果とする。

- 5 すなわち、バイナリサーチ実行部25においては、「直前のVD設定値－対象ビット＋対象ビットを1ビットLSB側にシフトしたビット」と「直前のVD設定値＋対象ビット＋対象ビットを1ビットLSB側にシフトしたビット」とを繰り返してLSBまで探索した結果を探索結果としている。

さらに、バイナリサーチ実行部25は、探索結果である遅延量設定値を探索制御部27へ送る。

そして、バイナリサーチ実行部25は、仮目標値ExpBを含んだ一定領域まで探索範囲bが絞り込まれて探索が終了すると、この探索が終了した旨を示す探索終了信号を探索制御部27へ送る。

- VD設定部26は、DUT入力遅延回路16の可変遅延回路DL1に対して、
15 遅延量Tpdの初期値（VD可変範囲 τ （1～n）の中間値）の設定を行う。

さらに、VD設定部26は、探索制御部27から遅延量設定値が送られてくると、その遅延量設定値に合わせるように可変遅延回路DL1を設定する。

- 探索制御部27は、格納部21から目標値Expと（シーケンシャルサーチの）探索範囲bとを取り出し、これら目標値Exp及び探索範囲bを仮目標値算出部28へ送る。そして、この仮目標値算出部28からの仮目標値ExpBを格納部21へ送って格納させる。

- さらに、探索制御部27は、格納部21から取り出した仮目標値ExpBと、遅延量測定部24から受け取った遅延量測定値とを、バイナリサーチ実行部25へ送ってバイナリサーチを実行するように指示（実行指示）し、可変遅延回路DL1の遅延量設定値を算出させる。そして、バイナリサーチ実行部25からの遅延量設定値をVD設定部26へ送る。

- その後、バイナリサーチ実行部25から探索終了信号が送られてくると、探索制御部27は、続いて、格納部21から目標値Exp及び仮目標値ExpBを取り出す。そして、これら目標値Exp及び仮目標値ExpBと、バイナリサーチ実行部25で最終的に得られた遅延量設定値と、遅延量測定部24からの遅延量

測定値とを、シーケンシャルサーチ実行部 29 へ送ってシーケンシャルサーチを実行するように指示（実行指示）し、可変遅延回路 DL 1 の遅延量設定値を算出させる。さらに、シーケンシャルサーチ実行部 29 からの遅延量設定値を VD 設定部 26 へ送る。

- 5 仮目標値算出部 28 は、探索制御部 27 から目標値 E_{xp} と（シーケンシャルサーチの）探索範囲 b とを受け取ると、その目標値 E_{xp} から、その探索範囲 b を示す値の半分の値を減じ又は加えた値を仮目標値 E_{xpB} として算出する。

そして、仮目標値算出部 28 は、算出した仮目標値 E_{xpB} を探索制御部 27 へ送る。

- 10 なお、仮目標値算出部 28 の有する機能、すなわち、目標値 E_{xp} から、シーケンシャルサーチの探索範囲 b を示す値の半分の値を減じ又は加えた値を仮目標値 E_{xpB} として算出する機能については、仮目標値算出部 28 ではなく、探索制御部 27 に備えることができる。

- 15 シーケンシャルサーチ実行部 29 は、探索制御部 27 からの実行指示にもとづいて、シーケンシャルサーチを実行する。

このシーケンシャルサーチ実行部 29 で実行されるシーケンシャルサーチは、可変遅延回路 DL 1 に設定可能なすべての遅延量設定値を順番に測定し、目標値 E_{xp} に近い設定値を探すことにより行われる。

- 20 こうしてバイナリサーチ実行部 25 におけるバイナリサーチとシーケンシャルサーチ実行部 29 におけるシーケンシャルサーチとを併用することにより、半導体試験装置 10 における目標値 E_{xp} の探索において、測定精度の向上や探索時間の短縮を図ることができる。

ただし、バイナリサーチの測定精度がヒステリシスの影響により劣化するとき、以下のような問題が起こる場合がある。

- 25 第 3 図に示すように、試験パターン信号の遅延量 T_{pd} が鋸歯状の特性を有している場合において、バイナリサーチの結果が、同図の A 点のような平坦な場所であれば、正常にシーケンシャルサーチされる（A 点を中心に上方向あるいは下方向にシーケンシャルサーチを行えば、目標値 E_{xp} を探し出せる）。

- 30 ところが、バイナリサーチの結果が、同図の B 1 点のような鋸の谷間（遅延量 T_{pd} の不連続点における VD 設定値増加側近傍）にある場合は、B 1 点を中心

に上方向へのシーケンシャルサーチは正しく実行されるものの、下方向へのシーケンシャルサーチは目標値 $E_x p$ より大きい場所（同図中、「C」として示した範囲）をサーチしてしまい、正常にサーチできない。

- すなわち、B 1 点より上方（VD 設定値増加側）に目標値 $E_x p$ がある場合は、
- 5 B 1 点を起点として順次増加方向にシーケンシャルサーチされるため、その目標値 $E_x p$ を探し出すことができる。これに対し、B 1 点より下方（VD 設定値減少側）に目標値 $E_x p$ がある場合は、B 1 点を起点として若干減少方向にシーケンシャルサーチされた後、遅延量 $T_{p d}$ の不連続点に達したところで、目標値 $E_x p$ より大きな遅延量 $T_{p d}$ でシーケンシャルサーチされ始め、目標値 $E_x p$ を
- 10 探し出せないうちにシーケンシャルサーチの探索範囲が終了してしまうことがある。これは、バイナリサーチのVD遅延特性とシーケンシャルサーチのVD遅延特性とが若干異なった値をとる場合に、目標値 $E_x p$ がシーケンシャルサーチの探索範囲外となることがあるためである。

- そこで、同図のB' 点のように、バイナリサーチを実行するときの目標値 $E_x p$ を、次にシーケンシャルサーチで下方向にサーチする領域分だけ小さくした値（仮目標値 $E_x p B$ ）に設定し直す。
- 15

そして、この仮目標値 $E_x p B$ を目標にしてバイナリサーチを行い、終了後は、目標値 $E_x p$ を元に戻し、シーケンシャルサーチにより仮目標値 $E_x p B$ を起点として上方向だけをサーチする。

- 20 ここで、「次のシーケンシャルサーチで下方向にサーチする領域分だけ（目標値 $E_x p$ を）小さくした値」を仮目標値 $E_x p B$ として設定するのは、次の理由による。

- バイナリサーチにより最終的に絞り込まれた遅延量 $T_{p d}$ の探索領域には目標値 $E_x p$ が含まれており、この探索領域がシーケンシャルサーチによる探索範囲となる。バイナリサーチは、本来、純粋な昇順（又は降順）の数列を検索対象とするため、シーケンシャルサーチの探索範囲内における検索対象も純粋な昇順（又は降順）の数列となっているはずである。ところが、探索対象である可変遅延回路の遅延量 $T_{p d}$ は全体に増加する鋸歯状の波形であるため、全体的には昇順の数列でありながら一部に減少を含んでいる。ここで、その減少した波形部分
- 25
- 30 （不連続点）がシーケンシャルサーチの探索範囲に含まれていなければ、その探

探索範囲内では純粋な昇順の数列のみが存在するため確実に目標値 $E_x p$ を探し出せる。ところが、減少した波形部分（不連続点）がシーケンシャルサーチの探索範囲に含まれているときは、そのシーケンシャルサーチの探索範囲内で二度以上探索される遅延量 $T_p d$ の値が存在する一方、純粋な昇順数列であれば探索されるものの不連続点があるために探索されない遅延量 $T_p d$ の値も存在する。この探索されない遅延量 $T_p d$ の値に目標値 $E_x p$ が含まれているときは、シーケンシャルサーチを行ってもその目標値 $E_x p$ を探し出すことができない。

そこで、シーケンシャルサーチの探索範囲内に不連続点が含まれないようにするために、仮目標値 $E_x p B$ を設定する。

- 10 仮目標値 $E_x p B$ は、「次のシーケンシャルサーチで下方向にサーチする領域分だけ（目標値 $E_x p$ を）小さくした値」であるため、言い換えれば、遅延量 $T_p d$ の探索領域の下限值である。遅延量 $T_p d$ の探索領域内には必ず目標値 $E_x p$ が含まれていることから、この探索領域内の VD 遅延特性が純粋な昇順数列であれば、下限値である仮目標値 $E_x p B$ から上方向にシーケンシャルサーチを行うことで、目標値 $E_x p$ を探し出すことができる。

- 15 しかも、第3図に示すように、バイナリサーチの結果である $B1$ 点が不連続点の VD 設定値増加側近傍であっても、遅延量 $T_p d$ が全体に増加する波形であるため、仮目標値 $E_x p B$ は、「下方向に・・・小さくした値」とすることで不連続点から見て下方の離れた位置に設定される。このため、仮目標値 $E_x p B$ を起点として上方向にシーケンシャルサーチを行った場合は、不連続点に差し掛かるまでに、目標値 $E_x p$ を探し出すことができる。

したがって、目標値 $E_x p$ が $B1$ 点のような鋸の谷間（遅延量 $T_p d$ の不連続点）付近にある場合においても、その目標値 $E_x p$ を正常にサーチすることができる。

- 25 次に、本実施形態の半導体試験装置の動作（探索方法）について、第4図を参照して説明する。

同図は、本実施形態の半導体試験装置における探索回路の動作を示すフローチャートである。

- 30 なお、可変遅延回路 $DL1$ の設定値は、説明の便宜上、二進数表示であることを前提とする。ただし、この可変遅延回路 $DL1$ の設定値は、二進数表示に限る

ものではなく、たとえば、10進数表示や8進数表示などとすることもできる。

同図に示すように、シーケンシャルサーチの探索範囲 b （あるいは、探索領域 b ）が、格納部21に格納（準備）されている（ステップ10）。このシーケンシャルサーチの探索範囲 b は、取り得る誤差の絶対値の最大値として、「 $|$ 」（バイナリサーチ）－（シーケンシャルサーチ） $|MAX$ 」によって求めることができる。

さらに、格納部21には、目標値も格納（準備）されている（ステップ11）。

そして、VD設定部26において、可変遅延回路DL1の初期値（VD可変範囲 τ （1～ n ）の中間値）の設定が行われる（ステップ12）。

10 次いで、探索制御部27において、格納部21から目標値 E_{xp} 及び（シーケンシャルサーチの）探索範囲 b が取り出されて仮目標値算出部28へ送られる。

仮目標値算出部28において、目標値 E_{xp} から、探索範囲 b を示す値の半分の値を減じ又は加えた値（目標値 E_{xp} －探索範囲 $b/2$ ）が仮目標値 E_{xpB} として算出される（ステップ13）。そして、この算出された仮目標値 E_{xpB}
15 が、仮目標値算出部28から探索制御部27へ送られ、さらに、格納部21へ送られて格納される。

続いて、遅延量測定部24において、遅延回路出力部22からの試験パターン信号にもとづいて、この試験パターン信号の遅延量 T_{pd} が測定される（ステップ14）。

20 そして、この測定結果である遅延量測定値 T_{pd} が、探索制御部27へ送られる。

探索制御部27において、遅延量測定値 T_{pd} が受け取られると、格納部21から仮目標値 E_{xpB} が取り出され、遅延量測定値 T_{pd} とともに、バイナリサーチ実行部25へ送られて、バイナリサーチの実行が指示される。

25 バイナリサーチの実行が指示されたバイナリサーチ実行部25において、仮目標値 E_{xpB} と遅延量測定値 T_{pd} とが一致しているか否かが判断される（ステップ15）。

判断の結果、仮目標値 E_{xpB} と遅延量測定値 T_{pd} とが異なるときは、続いて、それら仮目標値 E_{xpB} と遅延量測定値 T_{pd} との大小が比較判断される

30 （ステップ16）。

判断の結果、仮目標値 E_{xpB} が遅延量測定値 T_{pd} より小さいときは、「VD 設定値（遅延量設定値）＝直前の VD 設定値－対象ビット」が実行されて VD 設定値が算出される（ステップ 17）。

一方、仮目標値 E_{xpB} が遅延量測定値 T_{pd} より大きいときは、「VD 設定値＝直前の VD 設定値」が実行されて VD 設定値が算出される（ステップ 18）。

すなわち、バイナリサーチ実行部 25 においては、「直前の VD 設定値－対象ビット＋対象ビットを 1 ビット LSB 側にシフトしたビット」と「直前の VD 設定値＋対象ビット＋対象ビットを 1 ビット LSB 側にシフトしたビット」とを繰り返して LSB まで探索した結果を探索結果としている。

そして、これら算出された VD 設定値が、バイナリサーチ実行部 25 から探索制御部 27 へ送られる。

探索制御部 27 において、受け取った VD 設定値が VD 設定部 26 へ送られる。

VD 設定部 26 において、受け取った VD 設定値にもとづいて、DUT 入力遅延回路 16 における可変遅延回路 DL1 の設定が行われる。

この可変遅延回路 DL1 の設定後、遅延量測定部 24 において、再度試験パターン信号の遅延量 T_{pd} が測定されて探索制御部 27 へ送られる（ステップ 14）。そして、探索制御部 27 において、仮目標値 E_{xpB} と遅延量測定値 T_{pd} とがバイナリサーチ実行部 25 へ送られて比較判断され（ステップ 15）、VD 設定値が算出されて（ステップ 16～ステップ 18）、VD 設定部 26 において可変遅延回路 DL1 の設定が行われる。

このようなバイナリサーチにもとづく可変遅延回路 DL1 の設定動作が、仮目標値 E_{xpB} と遅延量設定値 T_{pd} とが一致するまで繰り返し行われる（ステップ 14～ステップ 18）。

その後、仮目標値 E_{xpB} と遅延量測定値 T_{pd} とが一致しているものとバイナリサーチ実行部 25 で判断されると（ステップ 15）、このバイナリサーチ実行部 25 から探索制御部 27 へ、探索終了信号が送られる。

この探索終了信号を受けた探索制御部 27 において、遅延量測定部 24 に対し、試験パターン信号の遅延量 T_{pd} の測定が指示される。

遅延量測定部 24 において、遅延回路出力部 I/F 22 からの試験パターン信号にもとづいて、その試験パターン信号の遅延量 T_{pd} が測定され（ステップ 1

9)、この測定された遅延量 T_{pd} (遅延量測定値 T_{pd}) が、探索制御部27へ送られる。

探索制御部27において、遅延量測定部24からの遅延量測定値 T_{pd} と、格納部21から取り出した目標値 E_{xp} と、バイナリサーチ実行部25において最終的に得られた遅延量設定値とがシーケンシャルサーチ実行部29へ送られて、シーケンシャルサーチの実行が指示される。

この実行指示を受けたシーケンシャルサーチ実行部29において、目標値 E_{xp} と遅延量測定値 T_{pd} とが一致しているか否かが判断される (ステップ20)。

判断の結果、目標値 E_{xp} と遅延量測定値 T_{pd} とが異なるときは、次のシーケンシャルサーチにおけるVD設定値が算出される (ステップ21)。このVD設定値の算出は、「直前のVD設定値+VD最小1ビット」によって求めることができる。

そして、この算出されたVD設定値が、探索制御部27を介してVD設定部26へ送られ、このVD設定値にもとづいて、DUT入力遅延回路16の可変遅延回路DL1の設定が行われる。

この可変遅延回路DL1の設定後、遅延量測定部24において、再度試験パターン信号の遅延量 T_{pd} が測定されて探索制御部27へ送られる (ステップ19)。そして、探索制御部27において、目標値 E_{xp} と遅延量測定値 T_{pd} とがシーケンシャルサーチ実行部29へ送られて比較判断され (ステップ20)、VD設定値が算出されて (ステップ21)、VD設定部26において可変遅延回路DL1の設定が行われる。

このようなシーケンシャルサーチにもとづく可変遅延回路DL1の設定動作が、目標値 E_{xp} と遅延量測定値 T_{pd} とが一致するまで繰り返し行われる (ステップ19～ステップ21)。

そして、目標値 E_{xp} と遅延量測定値 T_{pd} とが一致すると、目標値 E_{xp} の探索が終了する。

なお、本発明の探索回路と探索方法は、半導体試験装置のDUT入力遅延回路における可変遅延回路DL1の遅延量 T_{pd} を測定・調整するために用いることに限るものではなく、たとえば、一部に減少を含んだ昇順の数列における目標値 E_{xp} の探索を、バイナリサーチとシーケンシャルサーチとの両方を用いて行う

場合に用いることができる。

たとえば、比較器 13 における比較タイミング遅延回路 17 の可変遅延回路 DL2 の設定（応答出力信号と期待値パターンとの比較判断にもとづく DL2 の遅延量の設定）や、基準クロック発生器 15（タイミング信号発生回路）における
5 基準クロック信号 CLK（タイミング信号）の出力タイミングの調整などに用いることができる。

以上のように、本発明によれば、探索対象である数列（例えば、試験パターン信号の遅延量 T_{pd} ）が一部に減少を含んだ昇順数列（例えば、鋸歯状の波形等）を示すものであって、バイナリサーチの特性とシーケンシャルサーチの特性
10 との間に差異が生じる場合であっても、確実に正常に目標値を探索することができる。

さらに、バイナリサーチとシーケンシャルサーチとを組み合わせることで目標値を探索するため、測定精度の低下防止と、探索時間の短縮とを両立させることができる。

15

産業上の利用可能性

本発明の目標値の探索回路、目標値の探索方法及びこれを用いた半導体試験装置は、一部に減少を含む昇順又は降順の数列を探索対象として目標値を探索する装置や方法に利用できる。

20

請 求 の 範 囲

1. 目標値を格納する目標値格納部と、

この目標値格納部から前記目標値を取り出すとともに、この取り出した目標値
5 から所定値を減じ又は加えた値を仮目標値として設定する探索制御部と、

バイナリサーチにより前記仮目標値を含んだ一定領域まで探索範囲を絞り込む
バイナリサーチ実行部と、

前記絞り込まれた探索範囲内で、シーケンシャルサーチにより前記仮目標値を
起点として増加方向又は減少方向へ前記目標値を探索するシーケンシャルサーチ
10 実行部とを有した

ことを特徴とする目標値の探索回路。

2. 目標値を格納する段階と、

前記目標値を取り出すとともに、この取り出した目標値から所定値を減じ又は
15 加えた値を仮目標値として設定する段階と、

バイナリサーチにより前記仮目標値を含んだ一定領域まで探索範囲を絞り込む
段階と、

前記絞り込まれた探索範囲内で、シーケンシャルサーチにより前記仮目標値を
起点として増加方向又は減少方向へ前記目標値を探索する段階とを有した
20 ことを特徴とする目標値の探索方法。

3. 基準クロック信号を発生する基準クロック発生器と、

前記基準クロック信号に同期して半導体素子に印加する試験パターン信号を出
力する試験パターン発生器と、

25 前記試験パターン信号を所定時間遅延させる可変遅延回路を備えたタイミング
発生器と、

前記半導体素子から出力される応答出力信号と期待値パターンとを比較する比
較器とを備えた半導体試験装置であって、

目標値を格納する格納部と、

30 前記試験パターン信号の遅延量測定値を求める遅延量測定部と、

前記格納部から前記目標値を取り出すとともに、この取り出した目標値から所定値を減じ又は加えた値を仮目標値として算出する仮目標値算出部と、

バイナリサーチによって、前記仮目標値を含んだ一定領域まで探索範囲を絞り込むように前記可変遅延回路の遅延量設定値を与えるバイナリサーチ実行部と、

- 5 前記絞り込まれた探索範囲内で、シーケンシャルサーチにより、前記仮目標値を起点として増加方向又は減少方向へ前記目標値を探索するように前記可変遅延回路の遅延量設定値を与えるシーケンシャルサーチ実行部と、

前記可変遅延回路の遅延量を設定するVD設定部と、

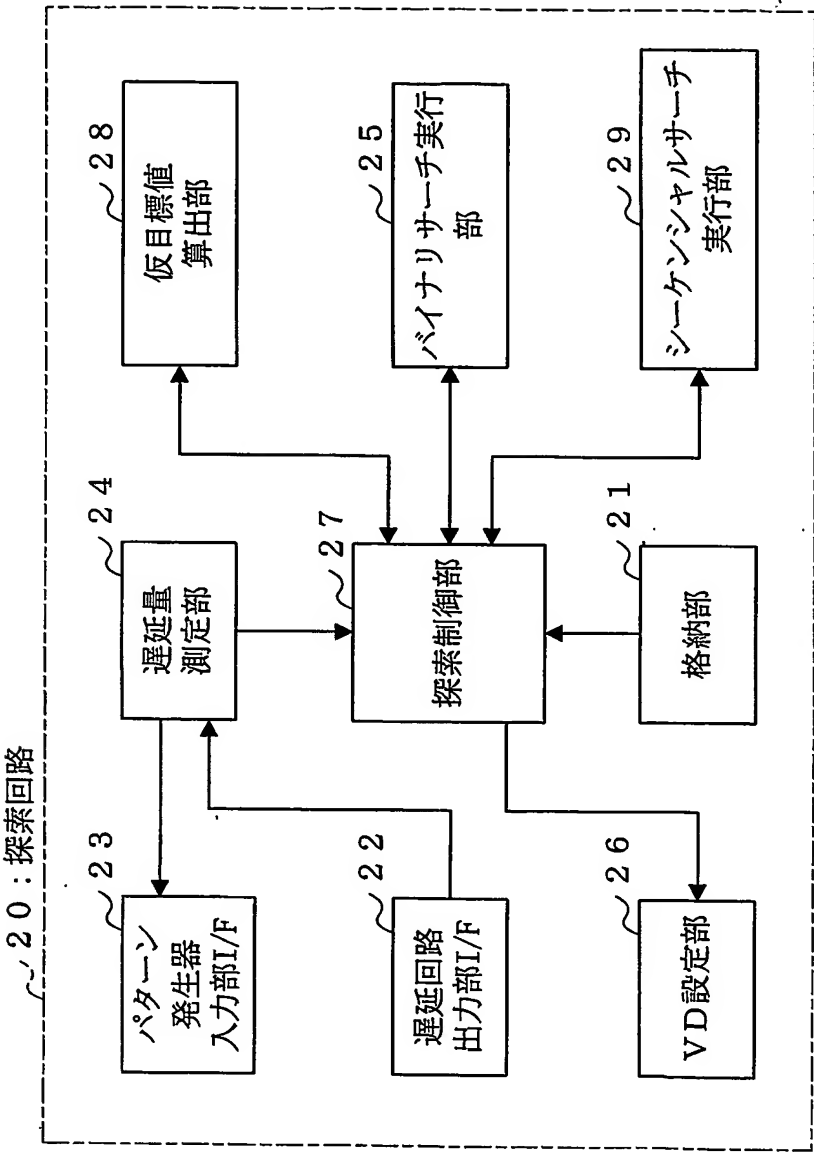
- 10 前記仮目標値及び前記遅延量測定値を前記バイナリサーチ実行部へ送るとともに、前記バイナリサーチ実行部からの前記遅延量設定値を前記VD設定部へ送って前記可変遅延回路の遅延量を設定させ、前記仮目標値を含んだ一定領域まで探索範囲が絞り込まれると、この絞り込みで得られた前記遅延量設定値と、前記目標値と、前記遅延量測定値とを前記シーケンシャルサーチ実行部へ送り、前記シーケンシャルサーチ実行部からの前記遅延量設定値を前記VD設定部へ送って前記可変遅延回路の遅延量を設定させる探索制御部とを有する探索回路を備えた
- 15 ことを特徴とする半導体試験装置。

4. 前記仮目標値算出部が、シーケンシャルサーチの探索領域のうちの半分の領域を示す値を前記所定値として前記目標値から減じ又は加え、この減じ又は加えた値を前記仮目標値として算出する
- 20

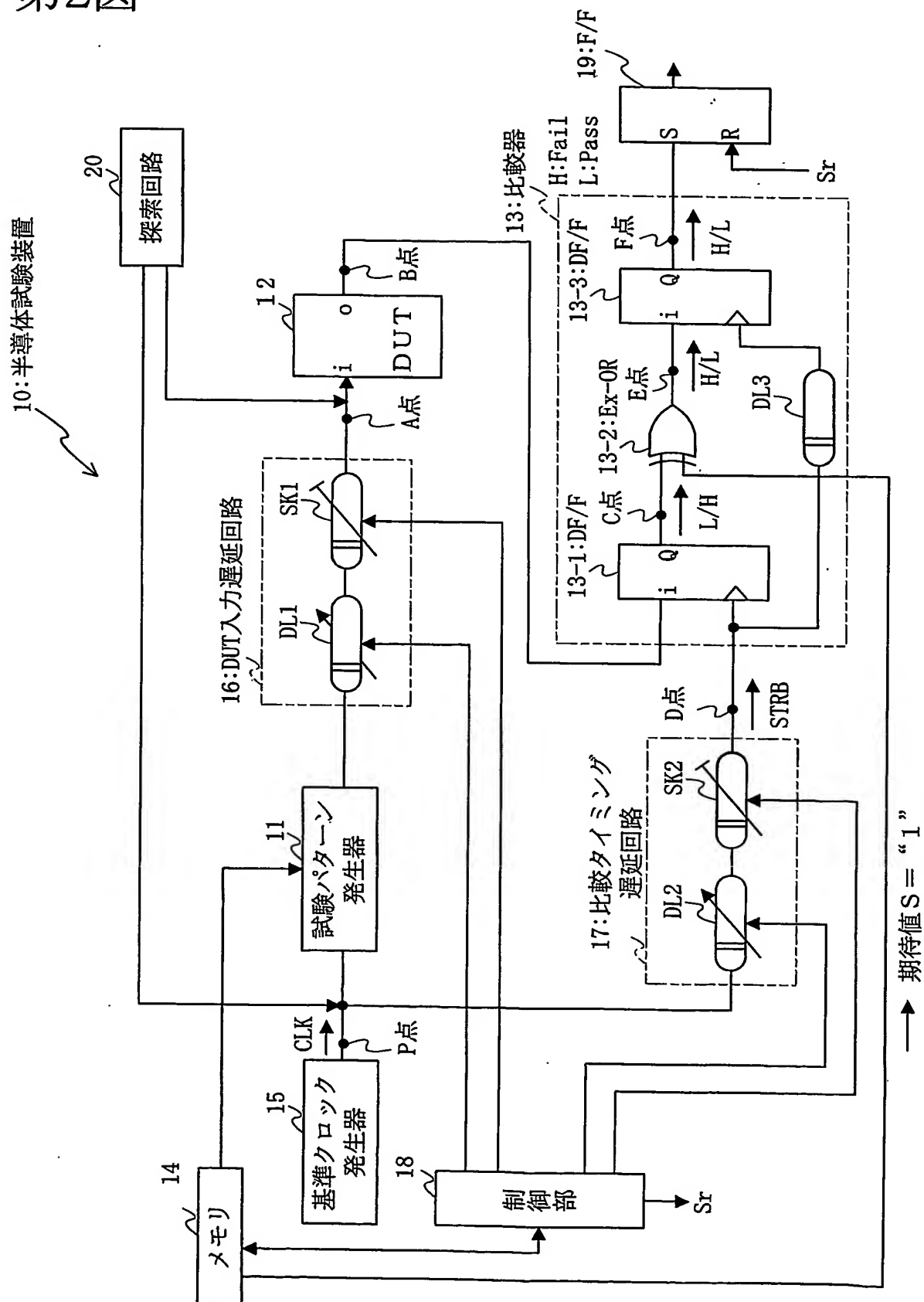
ことを特徴とする請求項3記載の半導体試験装置。

第1図

1/10

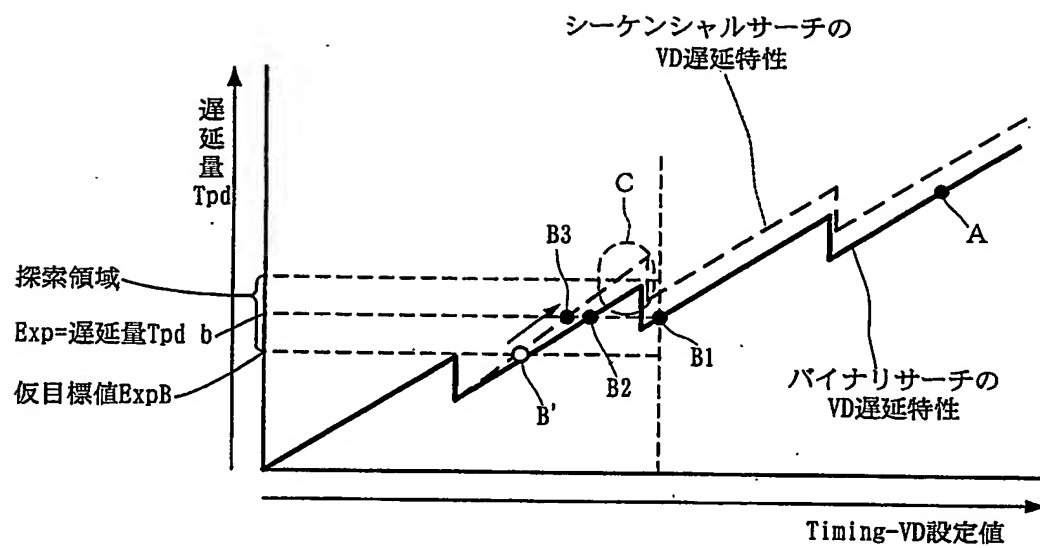


第2図

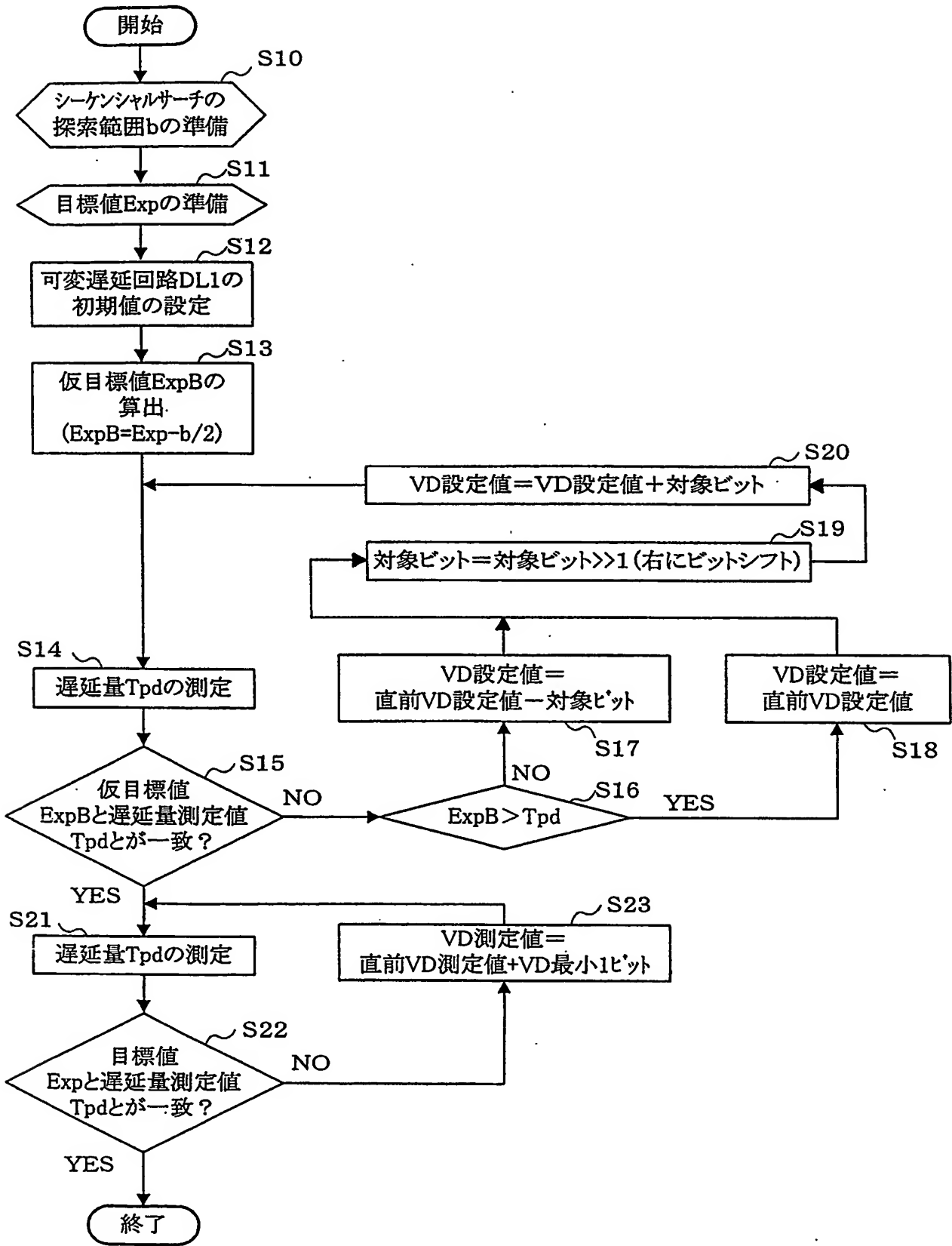


3/10

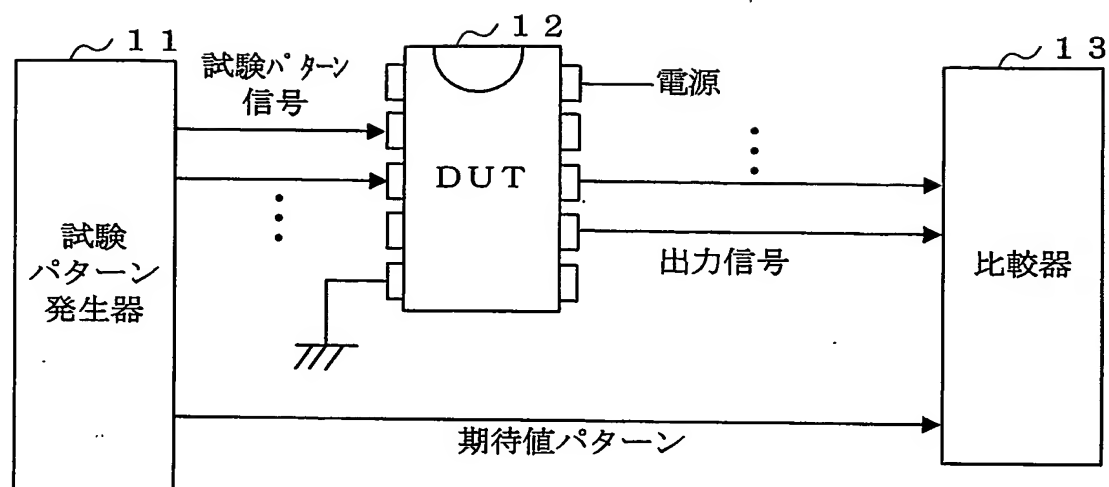
第3図



第4図



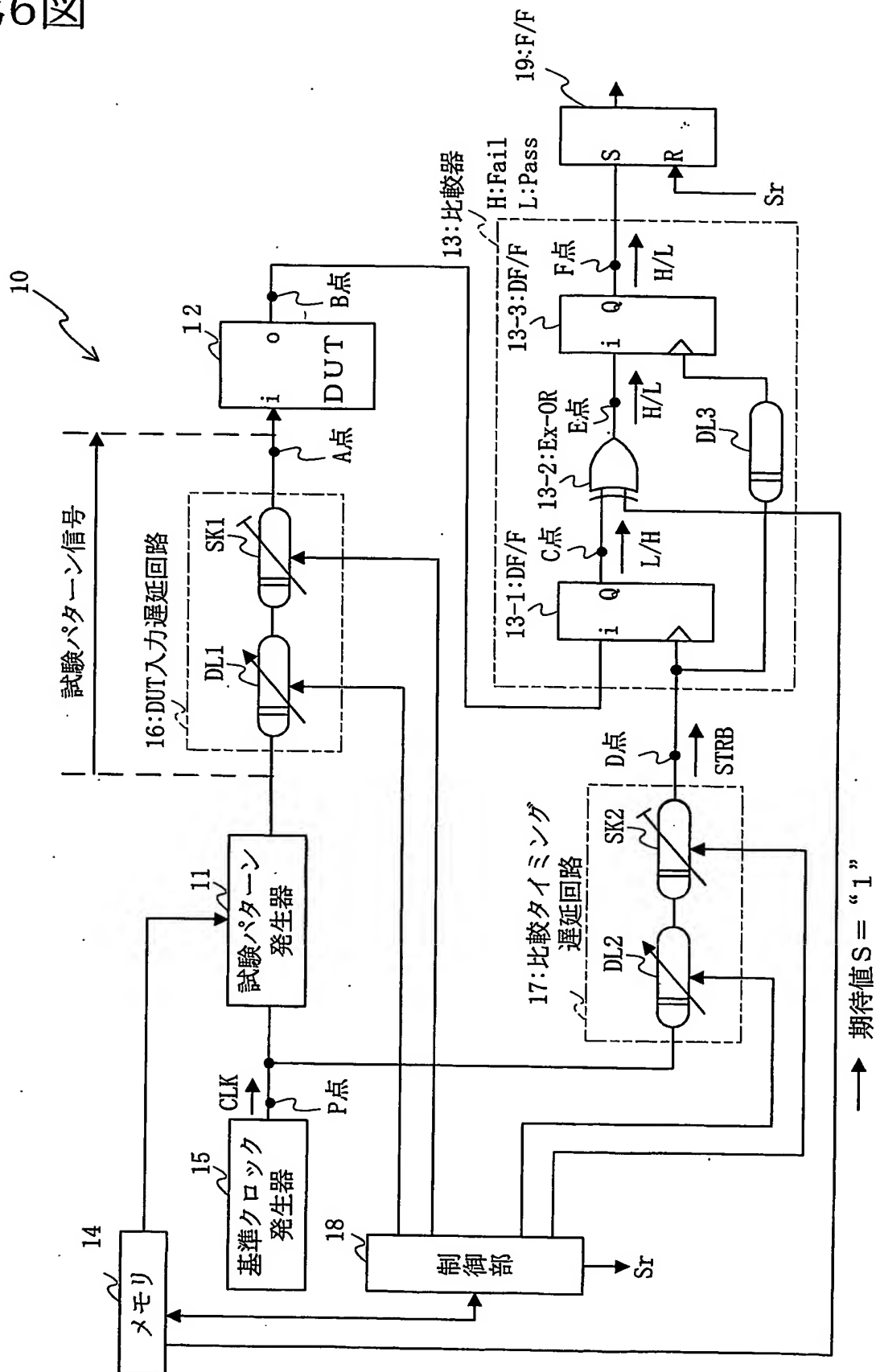
第5図



10 : 半導体試験装置

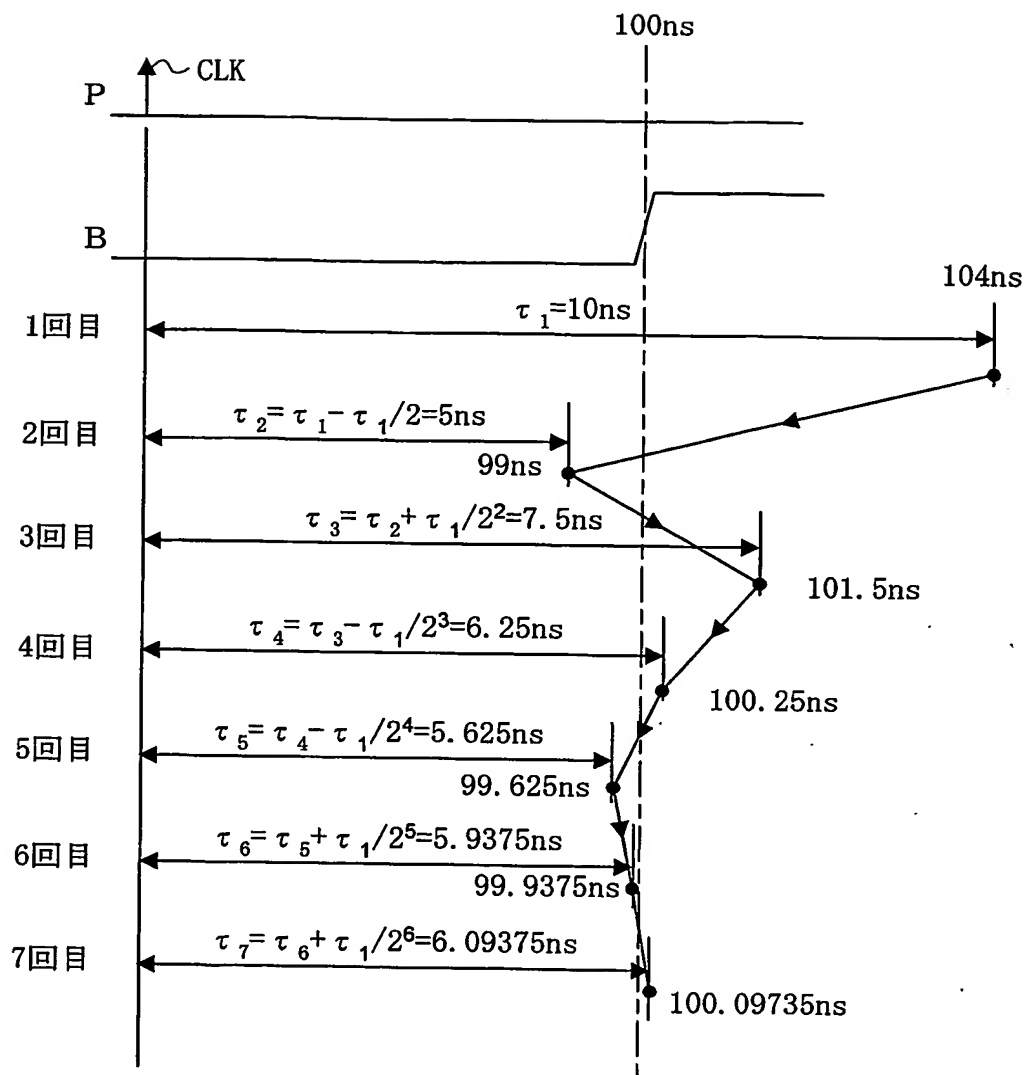
第6図

6/10



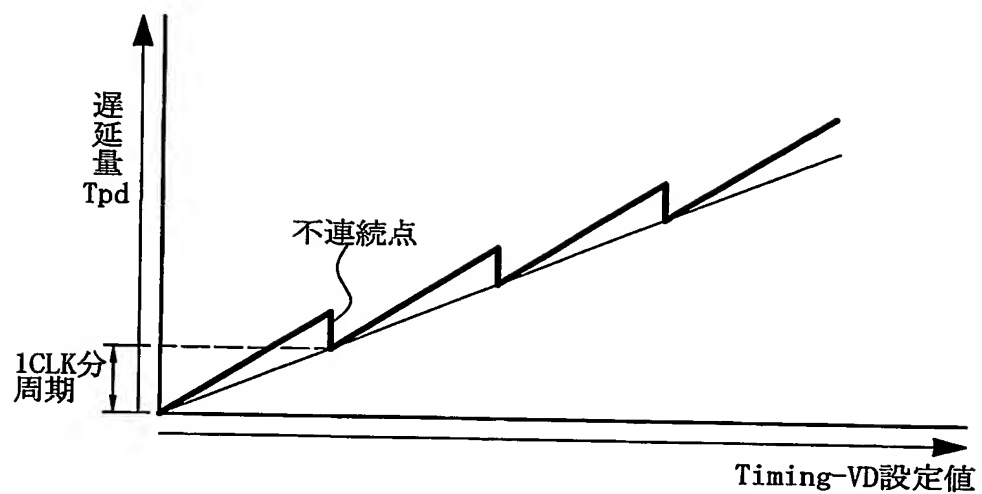
第7図

7/10

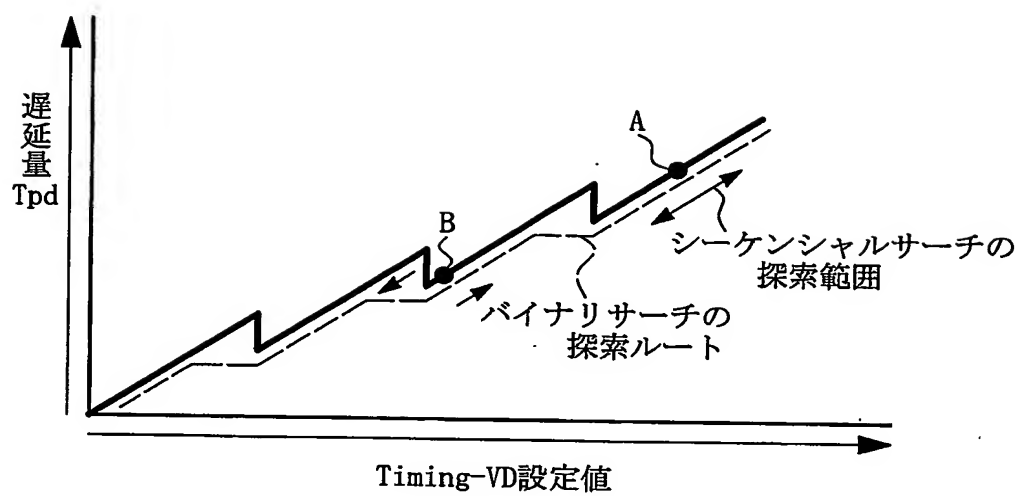


第8図

8/10

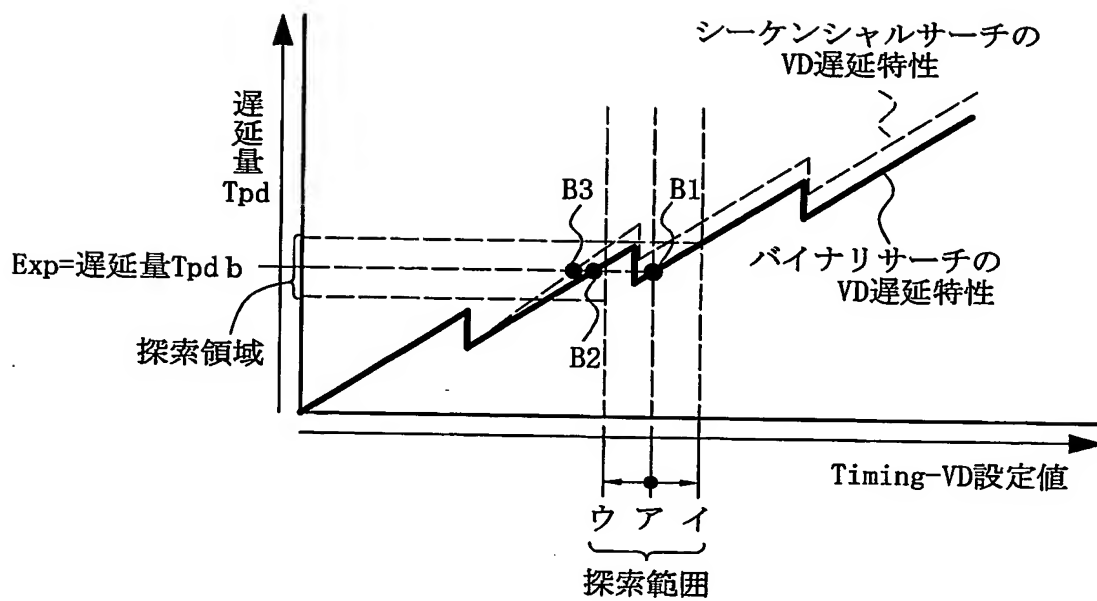


第9図



第10図

10/10



10/532367

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/13630

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G01R31/28-31/3193

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-143954 A (NEC Corp.), 01 June, 1990 (01.06.90), Full text; all drawings (Family: none)	1-4
A	JP 2002-40091 A (Advantest Corp.), 06 February, 2002 (06.02.02), Full text; all drawings (Family: none)	1-4
A	JP 2000-131390 A (Advantest Corp.), 12 May, 2000 (12.05.00), Full text; all drawings (Family: none)	3-4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
20 January, 2004 (20.01.04)

Date of mailing of the international search report
10 February, 2004 (10.02.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G01R 31/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G01R 31/28 - 31/3193

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922年-1996年

日本国公開実用新案公報 1971年-2004年

日本国実用新案登録公報 1996年-2004年

日本国登録実用新案公報 1994年-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2-143954 A (日本電気株式会社) 1990.06.01, 全文, 全図 (ファミリーなし)	1-4
A	J P 2002-40091 A (株式会社アドバンテスト) 2002.02.06, 全文, 全図 (ファミリーなし)	1-4
A	J P 2000-131390 A (株式会社アドバンテスト) 2000.05.12, 全文, 全図 (ファミリーなし)	3-4

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

20.01.04

国際調査報告の発送日

10.2.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

武田 知晋

2S

9805

電話番号 03-3581-1101 内線 3256